



Einladung zur ordentlichen Mitgliederversammlung der IMAPS-Deutschland e.V.

Dienstag, 14. Oktober 2008, 17:20 Uhr in der Hochschule München, Lothstraße 64, Hauptgebäude R, 80335 München

Die Mitgliederversammlung findet im Anschluss an den ersten Tag unserer Vortragsveranstaltung am gleichen Ort statt.

Tagesordnung

1. Abschlussbericht 2007 des Vorstandes
2. Abschlussbericht 2007 des Schatzmeisters
3. Entlastung von Vorstand und Schatzmeister
4. Wahlen (2. Vorsitzende(r) und Schatzmeister)
(Wahlvorschlag des Vorstandes: 2. Vorsitzende: Dr. Gisela Dittmar; Schatzmeister: Hans-Ulrich Knipps)
5. Vorläufiger Bericht 2008 des Vorstandes
6. Vorläufiger Bericht 2008 des Schatzmeisters
7. Vorschau auf 2009
8. Verschiedenes

Wahlvorschläge können bis unmittelbar vor der Wahl an *Prof. Dr. Heinz Osterwinter, Hochschule Esslingen, Standort Göppingen, Robert-Bosch-Straße 1, D-73037 Göppingen* gerichtet werden.

Wir bitten um zahlreiches Erscheinen und hoffen auf eine lebhaftige Mitgliederversammlung.

Im Anschluss an die Mitgliederversammlung findet traditionsgemäß ein **gemeinsames Abendessen** in den Augustiner Gaststätten, Neuhauser Str. 16, erster Stock, Grüner Saal, etwa ab 19:30 Uhr statt. Die Gaststätte liegt zwischen Karlsplatz und Marienplatz.

Mitglieder, die nicht an der Konferenz teilnehmen, sind zum Abendessen gegen Zahlung eines Unkostenbeitrages von 30,- € herzlich eingeladen. Für Konferenzteilnehmer ist das gemeinsame Abendessen kostenlos.

Mit freundlichen Grüßen
der Vorstand der IMAPS-Deutschland e.V.

Dr. Jens Müller

Advanced Packaging Conference – Technologies, Manufacturing and Supply Chain

8/9 October at ICS- International Congress Centre in Stuttgart

Wednesday, 8 October 2008

- | | |
|---------------|---|
| 13:00 - 13:10 | <i>Welcome to Advanced Packaging</i> Conference Chair: Andy Longford, PandA Europe / IMAPS UK |
| SESSION A | Advanced Manufacturing, Processes & Materials |
| 13:10 - 13:45 | KEYNOTE: <i>Future Packaging Scenarios for Cell Phones</i> Nils Lundberg, Sony Ericsson Mobile Communications |
| 13:45 - 14:10 | <i>Bumping for WLCSP using micro solder ball attach on Electroless Ni/Au and Ni/Pd/Au UBM</i> Dr. Thorsten Teutsch, Pac Tech |
| 14:10 - 14:35 | <i>Don't Saw away your profit!</i> Hans-Ulrich Zühlke, Jenoptik |
| 14:35 - 15:00 | <i>High aspect ratio through wafer via metallization by highly ionized sputtering</i> Mohammed Elghazzali and Jürgen Weichart, Oerlikon Balzers |
| 15:00 - 15:30 | Coffee break |
| 15:30 - 15:55 | <i>A cost efficient IC separation technology ultra tight scribe lanes by laser dicing</i> Guido Albermann and Roland Schneider, NXP Semiconductors |
| 15:55 - 16:20 | <i>Embedded High-K thin film capacitor in plastic package</i> Hironori Tanaka, Ibiden |

- 16:20 - 16:45 *PIQC-System (process-integrated quality control)*
Klaus Schrimper, Hesse & Knipps
- SESSION B Embedded Die & Wafer Level Packaging
- 16:45-16:55 INTRODUCTION:
Supply Chain of Advanced Packaging: who will get business and value?
SEMI Representative
Supply Chain of Advanced Packaging from the end user point of view
Kauppi Kujala, Nokia
- 16:55-18:15 EXECUTIVE PANEL – Round Table:
Wafer Level Packaging & Embedded Die Supply Chain – Who will be the ones to do it?
Moderated by Françoise von Trapp, Managing Editor PennWell, Advanced Packaging magazine
Panel Executives (invited):
– Kauppi Kujala, Nokia, or Nils Lundberg, Sony Ericsson Mobile Communications – representing the OEM
– Eef Bagerman, NXP – representing the IDM
– TSMC – representing the Foundry
– AMKOR or ChipPAC – representing the Packaging Subcontractor
– Jürgen Weichart, Oerlikon Balzers (tbc) – representing the Equipment supplier
– Hironori Tanaka, Ibiden (tbc) – representing the Substrate Manufacturer
- 18:15 - 19:00 Reception

Thursday, 9 October 2008

- 9:00 - 9:05 *Welcome to Day 2 – More on Embedded die and WLP*
Conference Chair: Andy Longford, PandA Europe / IMAPS UK
- 9:05 - 9:40 GUEST SPEAKER: *From MEMS to Smart Systems Integration*
Thomas Gessner, Fraunhofer ENAS
- 9:40 - 10:05 *Market trends in 3D wafer level integration*
Jean-Christophe Eloy & Eric Mounier, Yole Développement
- 10:05 - 10:30 *ST Wafer Level Camera Development and industrialization on 300 mm wafers*
Eric Mazaleyrat, STMicroelectronics
- 10:30 - 11:00 Coffee break
- 11:00 - 11:25 *Embedded die technology, next generation packaging for discrete semiconductors*
Will Peels, NXP Semiconductors
- 11:25 - 11:50 *Recent Developments and trends for the innovative eWLB – Thorsten Meyer, Infineon*
- 11:50 - 12:15 *High density 3D die stacking without Through-Si-Vias: Ultra thin chip embedding as enabling technology*
Eric Beyne, IMEC
- 12:15 - 12:30 Closing remarks

Who should attend:

Advanced Packaging experts, Manufacturing and R&D counterparts and the key representatives of Packaging Equipment and Service Companies.

Organized by:



In collaboration with:



Media sponsor:



| Price: | By 19 September | As of 20 September |
|---------------|-----------------|--------------------|
| Members | 300,- € | 500,- € |
| IMAPS Members | 300,- € | 500,- € |
| Non-Members | 400,- € | 500,- € |

First Call for Papers EMPC 2009 – 17th European Microelectronics and Packaging

14./17. Juni 2009 in Rimini, Italien

The aim of IMAPS is to take to Rimini, one of the most renowned bathing resort towns in Italy, the best of Microelectronics and Packaging, thus offering top quality coverage of technological innovation related to microelectronic packaging and interconnection technologies. The four day Conference and Exhibition will be held from 14th to 17th June 2009 at Palacongressi in Rimini. It will be complemented by Advanced Professional Courses and by poster sessions.

You are cordially invited to submit a paper on Microelectronics Technologies, for oral or poster presentation at the Conference, on the following topics:

- **Advanced Packaging:** single chip and multi chip packaging, wafer thinning, wafer level packaging, low-k chip packaging, stacking, 3D-integration, embedded passives on wafers and substrates, SIP, SOP and other system integration technologies, high frequency and high power packaging
- **Interconnection Technologies:** wire bonding, bumping, flips chip bonding, Cu/low-k wafers, lead-free soldering and adhesive joining
- **PCB Substrates:** laminates, micro-vias and build-up technologies, flex, MID, optical wave-guiding and termination
- **Thick and Thin Film Technologies**
- **LTCC Ceramics:** technologies and embedded components
- **PCB Design**
- **MEMS Packaging:** MEMS based sensors and actuators packaging, RF-MEMS, optical MEMS and bio-MEMS
- **Optoelectronics:** power LED packaging and light guiding, packaging of optoelectronic modules suitable for hi-speed fiber optic communication
- **Solar Energy (Photovoltaics)** design for efficiency of materials, reliability & qualification approaches
- **Nano Technologies:** smart materials, interconnections, nano-scale packaging
- **Power Electronics:** application in consumer, telecom, automotive, wearable, space and military
- **Medical Electronics:** applications, design, development, manufacturing that comply with complex and demanding regulations and market requirements
- **RFID:** long, mid and short range, application in consumer, telecom, automotive, wearable and medical
- **Manufacturing Technologies:** process development, new equipment, yield improvement, cost and cycle time reduction, green manufacturing
- **Materials:** adhesives, encapsulants, underfills, moulding compounds, lead-free solder alloys, halogen free materials, dielectrics and ceramics
- **Electrical Modelling & Signal Integrity:** time and frequency domain analysis of interconnection and packaging technologies
- **Thermal Characterisation & Cooling Solutions:** modelling and simulation methodology for thermal characterisation of advanced packaging, modules & systems, novel cooling techniques
- **Mechanical Modelling & Structural Integrity:** thermo-mechanical stress analysis, vibration and shock tests
- **Quality & Reliability:** component, board and system level reliability assessment, failure analysis, and interfacial adhesion and accelerated testing methods

Call for Papers

If you wish to present a paper at the 17th European Microelectronics and Packaging Conference please complete the form on www.empc2009.org send it, together with your summary, to the Conference Secretariat before **31st December 2008**. The summary must be between 200 to 300 words and clearly describe the nature, scope, content, organization, key points and significance of the proposed paper. The paper must present works and results not previously published. Paper selection will be announced by *February 28th 2009*. The Technical Programme Committee's decision is final.

Submission of an abstract represents a commitment to send a final manuscript by *April 15th 2009*. It also represents a commitment to either attend the Conference or to send a knowledgeable substitute who can present the paper, as well as answer pertinent questions. Speakers will be admitted to the Conference at a much reduced fee. The conference language is English. Please send your abstract to abstracts@empc2009.org

Exhibition

Throughout the Conference there will be a major exhibition that will allow the conference attendants to meet and discuss with:

- 1 Material Suppliers
- 2 Manufacturers of equipment and products for Hybrid Microelectronics and MCMs
- 3 Component Suppliers
- 4 Manufacturers of Hybrids and Packages
- 5 University People
- 6 R&D Laboratory People
- 7 Suppliers of Test and Analysis Equipment and Services

The exhibition, in line with the suggestions of previous participants, will be held under the following conditions:

- 1 Exhibition area and conference main rooms on the same floor
- 2 Entry to the Conference sessions through the exhibition area
- 3 Long intervals during the Conference sessions to allow the delegates to visit the exhibition
- 4 A special one-day *Exhibition forum* to run in parallel with the conference sessions enabling exhibitors to illustrate the technical novelties of their products

Special Sessions and Advanced Professional Courses

In addition to the topics on the front page, there will be special sessions with appealing papers presented by eminent invited speakers from all over the world. Moreover there will be the possibility to attend professional courses on advanced topics in Microelectronics.

Conference Secretariat Address

PRAGMA CONGRESSI, C.so Mazzini 9, 27100 Pavia, Italy, Tel. +39/0382/309579, Fax +39/0382/304892, segreteria@empc2009.org, www.empc2009.org

RAFI Eltec GmbH setzt kundenorientiert auf Chip-on-Board-Technologie

Die Kernkompetenz der *RAFI Eltec GmbH* aus Überlingen liegt in der Auftragsfertigung kundenspezifischer, komplexer Elektronikbaugruppen. Ein Vorteil für den Kunden: Von der Entwicklung von Baugruppen und Systemen über die Fertigung und Qualifizierung von Prototypen bis zur Fertigung, Montage und Prüfung von Serienstückzahlen erhalten die Kunden alles aus einer Hand. Um diesem Anspruch gerecht zu werden hat *RAFI Eltec* schon vor Jahren in die Technologie für die ungehäuten Siliziumhalbleiter investiert. Dazu wurden sowohl die baulichen Voraussetzungen in Form von modernen Reinräumen geschaffen, als auch in automatisierte Handlingsysteme und Chipbonder investiert. Die umfangreichen Erfahrungen und das technologische Know-how, das mittlerweile bei der Chip-on-Board-Technologie bei *RAFI Eltec* vorliegt, kommen natürlich den Kunden zu gute.

Die Technologie

Der ungehäute Halbleiter wird mit einer Silber-Epoxy-Paste direkt auf eine metallisierte Fläche der Leiterplatte geklebt (Die-Bonden) und bei ca. 150 °C ausgehärtet und entgast. Dafür können die ungehäuten Silizium-Halbleiter (Nackchips) entweder aus einem Wafflepack oder direkt von dem gesägten Siliziumwafer entnommen werden. Die Bestückgenauigkeit der vollautomatischen Die-Bonder liegt bei $\pm 7 \mu\text{m}$ bei 3 Sigma und die Winkelgenauigkeit $\pm 0,15^\circ$ bei ebenfalls 3 Sigma. Danach werden die Chip-Kontakte mit Gold- oder Aluminiumdraht mit

den Leiterplattenpads verbunden. Beim Aluminiumdraht-Bonden handelt es sich um ein reines Reibschweißen. Der Bonddraht wird hierzu mit einer definierten Kraft auf die fixierte Leiterplatte gedrückt und in Ultraschallschwingungen mit einer Amplitude zwischen 1 bis 4 μm versetzt. Das Ergebnis ist eine dauerhafte innige metallische Verbindung zwischen dem Bonddraht und der Metallfläche auf dem Substrat. Obwohl der Bonddraht je nach Bedarf zwischen 18 und 50 μm dick sein kann, liegt die Lagegenauigkeit bei $\pm 2,75 \mu\text{m}$. Über einen Zugtest (Pulltest) kann die Verbindungsfestigkeit und damit die Qualität des Bondprozesses überprüft werden. Nach dem Bonden werden der Chip und die Drahtverbindungen mit Epoxymasse vergossen (GlopTop), bei 120 °C ausgehärtet und somit vor äußeren Umwelteinflüssen zuverlässig geschützt.

Bauformen, wie zum Beispiel miniaturisierte und eng tolerierte Flip-Chips können oft nicht mit SMD-Bestückungsanlagen bestückt werden, da diese die Bestückungsgenauigkeiten nicht sicherstellen können. Dies erfolgt dann prozesssicher auf den Die-Bondern bei *RAFI Eltec*, die deutlich höhere Bestückgenauigkeiten erreichen.

Der Kundennutzen

Worin bestehen nun die Vorteile der Chip-on-Board-Technologie?

Geringer Platzbedarf

Als erstes besticht natürlich der weitaus geringere Platzbedarf, den ein mit dem Chip-on Board-Verfahren kontaktierter ungehäuter Chip gegenüber einem gehäuten Chip auf dem Substrat einnimmt. Um einen Chip in der Größe von 3 x 3 mm^2 zu bestücken, ist bei der Chip-On-Board-Technologie lediglich eine Fläche von 5 x 5 mm^2 notwendig. In der gehäuten Bauform (z.B. als SOP24) ist bereits mehr als der doppelte Platzbedarf notwendig. Somit lässt sich mehr Funktionalität auf kleinerer Fläche unterbringen. Bei Redesigns ist der Engineering-Aufwand oft deutlich geringer, da nicht komplette Designs geändert werden müssen, sondern Zusatzfunktion integriert werden können. Durch die Chip-On-Chip-Technologie können sogar zwei Halbleiter übereinander aufgebracht und mit Bonddrähten miteinander verbunden werden. Der Vorteil bei dieser Variante liegt darin, dass der obere Halbleiter-Chip keinen zusätzlichen Platz auf der Leiterplatte verschwendet, wodurch die Bauteildichte pro Leiterplattenfläche weiter gesteigert werden kann.

Geringere thermische Belastung

Temperaturkritische Halbleiter können schonender bestückt werden. Dabei werden zunächst die normale SMD-Bestückung und das Reflowlöten durchgeführt. Im Anschluss daran wird der Halbleiter in der Chip-on-Board-Technologie auf die Leiterplatte aufgebracht. Der Chip wird dabei lediglich mit der Maximaltemperatur

von 150 °C, anstatt mit der Reflowprozessstemperatur von 250 - 260 °C belastet. Die geringere thermische Belastung führt zu Qualitätserhöhungen und ermöglicht die problemlose Verarbeitung temperaturkritischer Bauteile.

Preiswert

Besonders bei komplexen Halbleitern mit einer großen Verbindungsanzahl steckt in den Halbleiterpreisen ein hoher Kostenanteil für das Gehäuse. Durch das Verarbeiten des ungehäusten Siliziumchips lässt sich – trotz aufwändigerem Leiterplattenbestückungsprozess – eine Kostenersparnis erzielen.

Bessere Wärmeableitung

Die Wärmeanbindung bei gehäusten Bauelementen wird in der Regel durch das Gehäuse deutlich verschlechtert. Beim Chip-on-Board-Prozess stellt ein Silberleitkleber die direkte Wärmebrücke von Silizium-Halbleiter auf die metallischen Oberflächen der Leiterplatte her. Diese Optimierung führt in der Regel zu Qualitäts- und Lebensdauererhöhung bei Systemen.

Geringer Übergangswiderstand

Bei gehäusten Halbleitern werden die Bauteilpins mit dem Silizium-Chip verbunden, in dem standardmäßig ebenfalls eine Bondverbindung zwischen Halbleiter und Bauteilpin hergestellt wird (im Bauteilinnern). Die zweite Seite des Pins wird im Standardlötvorgang mit der Leiterplatte in Verbindung gebracht. Beim Chip-On-Board-Prozess entfallen die zusätzlichen Übergänge, da der Pin als Kontaktierungseinheit entfällt. Die Folge ist eine entsprechende Qualitäts- und Designoptimierung im System.

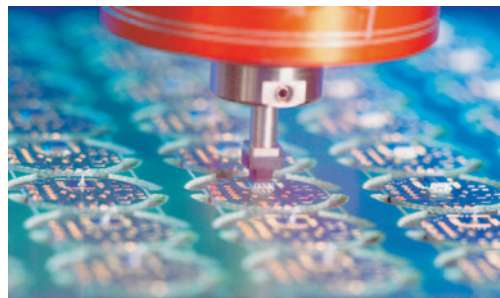
Pluspunkte: Zuverlässigkeit und Rentabilität von Chip-On-Board-Technologie in Kombination mit Standardtechnologien

Immer häufiger wird *RAFI Eltec* in Kundenprojekte eingebunden, bei denen Zuverlässigkeit und Rentabilität in den Standardtechnologien und das Know-how der Chip-on-Board-Technologie nachgefragt werden. Damit zeigt der von *RAFI Eltec* seit Jahren eingeschlagene Weg und die vorgenommenen Investitionen in Equipment und technologisches Know-how Erfolg. Chip-on-Board-Technologie ist für *RAFI Eltec* mehr als nur ein technisches Leistungsmerkmal. Nahezu 15 Jahre Chip-on-Board-Erfahrung hat zu einem deutlich höheren Prozess- und Qualitätsverständnis in den Standardtechnologien und über die Grenzen der Standardtechnologien hinaus geführt. Dies sind entscheidende Voraussetzungen für die flexible und zuverlässige Realisierung technisch anspruchsvoller Kundenanforderungen.

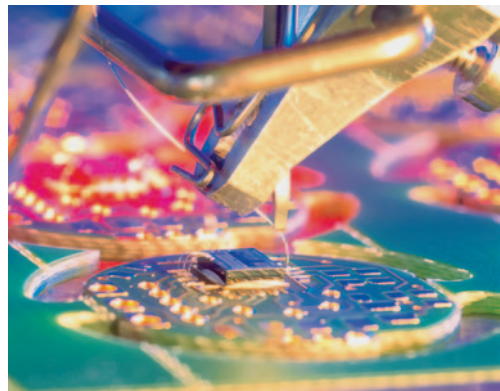
Da sich *RAFI Eltec* als Technologiedienstleister versteht, fließt dieses gesammelte Know-how täglich in die Pro-



Hochautomatisierte COB-Fertigungslinien



Beim Die-Bondprozess wird der ungehäuste Siliziumchip auf die Leiterplatte bestückt und mit Silberleitkleber verbunden



Beim Wire-Bondprozess wird der Siliziumchip mit (typ.) 30 µm Aluminiumdraht mit der Leiterplatte verbunden

jekte, Aufgaben und Produkte der Neu- und Bestandskunden ein. Aus diesem Grund setzt *RAFI Eltec* weiter auf Chip-On-Board und akquiriert aktiv Neukunden mit anspruchsvollen Produkten von der Entwicklung bis zum kompletten Produkt.

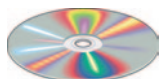
RAFI Eltec GmbH, Rengoldshauer Str. 17a, 88662 Überlingen, Tel. 07551/8000-0, Fax -121, info@rafi-eltec.de, www.rafi-eltec.de

Veranstaltungskalender

| Ort | Zeitraum | Name | Veranstalter |
|-------------------------------|----------------|--|---------------------------------|
| Pultusk (60 km nach Warschau) | 21./24.9.2008 | 32 nd International Microelectronics and Packaging IMAPS-CPMT Poland Conference | IMAPS Poland & IEEE CPMT Poland |
| Stuttgart | 8./9.10.2008 | Advanced Packaging Conference – Technologies, Manufacturing and Supply Chain | Semi/IMAPS Europe |
| München | 14.10.2008 | Mitgliederversammlung | IMAPS D |
| München | 14./15.10.2008 | IMAPS-Konferenz | IMAPS D |
| Denver/Co. | 20./23.4.2009 | 5 th CICMT | IMAPS & ACerS |
| Rimini | 14./17.6.2009 | EMPC 2009 | IMAPS Europe |

Noch zu haben: Proceedings

Die Proceedings der *IMAPS-Herbsttagung 2007*, die am 8./9. Oktober 2007 in München stattgefunden hat, können auf CD zum Preis von



€ 55,-

und als Papiausdruck zum Preis von



€ 110,-

erworben werden.

Auch die Proceedings der *Herbsttagung 2006*, die am 10. und 11. Oktober 2006 in München durchgeführt wurde, und der *Deutschen IMAPS-Seminare 2006 und 2007* zu den Themen *Muss jeder Sensor smart sein?* (Februar 2006 in Göppingen) und *Flip Chip – die Alternative zum Drahtbonden?* (Februar 2007 in Ilmenau) sind noch erhältlich.

Richten Sie bitte Ihre Bestellungen an:

Dipl.-Oec. Hans-Ulrich Knipps, c/o Hesse & Knipps GmbH, Vattmannstraße 6, D-33100 Paderborn, Fax: 05251/1560-97, hans-ulrich.knipps@imaps.de

Bitte beachten Sie, dass der angegebene Preis gemäß § 4 Nr. 22 UstG umsatzsteuerfrei ist und die verfügbare Anzahl begrenzt ist.

Internet-Auftritt von IMAPS Deutschland

Sie finden die neu gestalteten Webseiten von *IMAPS Deutschland* im Internet unter

<http://www.imaps.de>

Hier erhalten Sie aktuelle Informationen über Veranstaltungen und Ansprechpartner von *IMAPS Deutschland e.V.* Darüber hinaus können Sie dort auch Ihre Mitgliedschaft beantragen. Über Kritik und Anregungen, aber auch inhaltlichen Input würde sich der Vorstand sehr freuen.

Die internationalen Seiten von *IMAPS* erreichen Sie unter

<http://www.imaps.org>

oder für Europa:

<http://www.imapseurope.org>

Impressum

IMAPS Deutschland e.V.

1. Vorsitzender:

Dr.-Ing. Jens Müller

jens.mueller@imaps.de

Schatzmeister

(bei Fragen zu Mitgliedschaft und Beitrag):

Dipl.-Oec. Hans-Ulrich Knipps

hans-ulrich.knipps@imaps.de

Ausführliche Kontaktinformationen zu den Vorstandsmitgliedern findet man unter www.imaps.de (Vorstand)